

## Plasma display panel

Patent Number: ☐ EP0993017  
Publication date: 2000-04-12  
Inventor(s): NAKAHARA HIROYUKI (JP); YOSHIDA KENJI (JP); KUROGI SEIKI (JP); UKAI YOSHITAKA (JP); KATAYAMA TAKASHI (JP)  
Applicant(s): FUJITSU LTD (JP)  
Requested Patent: ☐ JP2000113828  
Application Number: EP19990301914 19990312  
Priority Number(s): JP19980287424 19981009  
IPC Classification: H01J17/49; G09G3/28  
EC Classification: H01J17/49D, G09G3/28  
Equivalents: TW442816, ☐ US2002008474  
Cited Documents: US5659226; EP0782167; EP0762373; EP0895270; EP0764931; JP8095500; JP9120777; JP3187125

### Abstract

A plasma display panel includes a plurality of row electrodes (42) defining rows of a screen. The row electrodes are arranged at intervals so that adjacent row electrodes are capable of serving as an electrode pair for generating a surface discharge. Each of the row electrodes includes a belt-shaped base (41) extending along the full length of the screen in a direction of the rows and

protrusions (412) extending from the base toward an adjacent row electrode in every column.



Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-113828

(P2000-113828A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl.<sup>7</sup>

識別記号

FI

テマコード\*(参考)

H01J 11/02

H01J 11/02

B

5C040

G09G 3/20

622

G09G 3/20

622M

5C080

641

641E

3/28

3/28

J

E

審査請求 未請求 請求項の数14 OL (全 11 頁) 最終頁に続く

(21)出願番号

特願平10-287424

(22)出願日

平成10年10月9日(1998.10.9)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 黒木 正軌

鹿児島県薩摩郡入来町副田5950番地 株式  
会社九州富士通エレクトロニクス内

(72)発明者 鶴飼 剛啓

鹿児島県薩摩郡入来町副田5950番地 株式  
会社九州富士通エレクトロニクス内

(74)代理人 100086933

弁理士 久保 幸雄

最終頁に続く

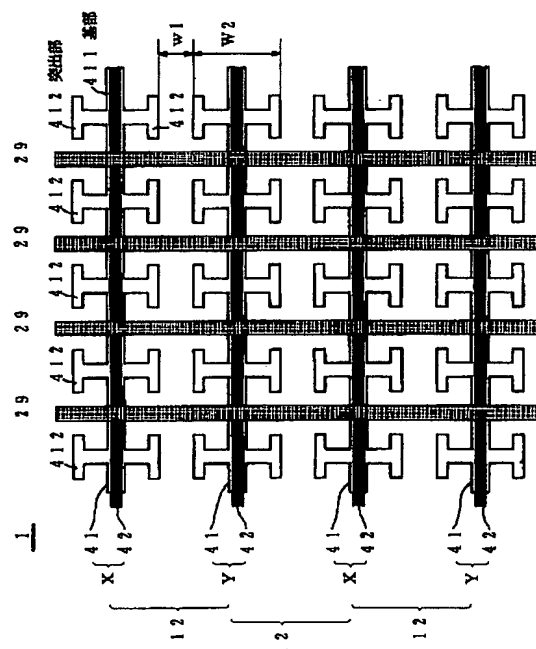
(54)【発明の名称】 プラズマディスプレイパネル

(57)【要約】

【課題】列方向への放電の拡がりを抑制して解像度を高めることを目的とする。

【解決手段】画面の行を画定する複数の行電極X、Yが、隣接する行電極X、Yどうしを電極対12として面放電を生じさせることができるように等間隔に配列されたPDPにおいて、行電極X、Yを、行方向に画面の全長にわたって延びる1本の帯状の基部411と、列毎に基部411から隣接する他の行電極に向かって張り出した突出部412とからなる形状に設ける。

第1実施形態の主電極の形状を示す平面図



## 【特許請求の範囲】

【請求項 1】画面の行を画定する複数の行電極が、隣接する行電極どうしを電極対として面放電を生じさせることができるように等間隔に配列されたプラズマディスプレイパネルであって、

前記行電極のそれぞれは、行方向に前記画面の全長にわたって延びる 1 本の帯状の基部と、列毎に当該基部から隣接する他の行電極に向かって張り出した突出部とからなることを特徴とするプラズマディスプレイパネル。

【請求項 2】前記突出部のそれぞれは、先端の幅が前記基部との付け根の幅より大きい形状に形成されている請求項 1 記載のプラズマディスプレイパネル。

【請求項 3】画面の行を画定する複数の行電極が、隣接する行電極どうしを電極対として面放電を生じさせることができるように等間隔に配列されたプラズマディスプレイパネルであって、

前記行電極のそれぞれは、行方向に前記画面の全長にわたって延びる 1 本の帯状の基部と、列毎に当該基部から隣接する他の行電極に向かって張り出した T 字状突出部とからなることを特徴とするプラズマディスプレイパネル。

【請求項 4】画面の行を画定する複数の行電極が、隣接する行電極どうしを電極対として面放電を生じさせることができるように等間隔に配列されたプラズマディスプレイパネルであって、

前記行電極のそれぞれは、行方向に前記画面の全長にわたって延びる 1 本の帯状の基部と、列毎に当該基部から隣接する他の行電極に向かって張り出した L 字状突出部とからなることを特徴とするプラズマディスプレイパネル。

【請求項 5】画面の各列において、前記基部から一方側へ張り出す前記 L 字状突出部の付け根の位置と他方側へ張り出す前記 L 字状突出部の付け根の位置とが行方向にずれている請求項 4 記載のプラズマディスプレイパネル。

【請求項 6】画面の行を画定する複数の行電極が、隣接する行電極どうしを電極対として面放電を生じさせることができるように等間隔に配列されたプラズマディスプレイパネルであって、

前記行電極のそれぞれは、行方向に前記画面の全長にわたって延びる 1 本の帯状の基部と、列毎に当該基部から隣接する他の行電極に向かって張り出した突出部とからなり、

前記各突出部は、前記基部から列方向に対して斜めに延びる第 1 の直線領域とその先端から行方向に延びる第 2 の直線領域とからなる屈曲帯状に形成されていることを特徴とするプラズマディスプレイパネル。

【請求項 7】前記行電極のそれぞれにおける 1 列分の範囲の形状は、前記基部の行方向の中央位置を中心とする点対称である請求項 6 記載のプラズマディスプレイパネ

ル。

【請求項 8】前記行電極の少なくとも突出部が透明導電膜からなる請求項 1 乃至請求項 7 のいずれかに記載のプラズマディスプレイパネル。

【請求項 9】前記行電極の基部が透明導電膜と金属膜との積層体からなる請求項 8 記載のプラズマディスプレイパネル。

【請求項 10】画面の行を画定する複数の行電極が、隣接する行電極どうしを電極対として面放電を生じさせることができるように等間隔に配列されたプラズマディスプレイパネルであって、

前記行電極のそれぞれは、前記画面の行方向の全長にわたって互いに離れた 2 本の帯状部と、前記画面の外側で前記帯状部を電気的に接続する連結部とからなることを特徴とするプラズマディスプレイパネル。

【請求項 11】前記行電極の帯状部が透明導電膜からなり、連結部が金属膜からなる請求項 10 記載のプラズマディスプレイパネル。

【請求項 12】画面の行を画定する複数の行電極が、隣接する行電極どうしを電極対として面放電を生じさせることができるように等間隔に配列されたプラズマディスプレイパネルであって、

前記行電極のそれぞれは、前記画面の行方向の全長にわたって延びる 3 本以上の帯状部と、前記画面の列毎に前記帯状部どうしを電気的に接続する連結部とからなることを特徴とするプラズマディスプレイパネル。

【請求項 13】前記画面を列毎に区画する帯状の隔壁を有し、

前記画面の各列において放電空間が当該画面の列方向の全長にわたって連続している請求項 1 乃至請求項 12 のいずれかに記載のプラズマディスプレイパネル。

【請求項 14】請求項 1 乃至請求項 13 のいずれかに記載のプラズマディスプレイパネルと、1 フレームを 2 つのフィールドに分け、一方のフィールドを奇数行によって表示し、他方のフィールドを偶数行によって表示するように前記電極対に駆動電圧を印加する駆動回路とを備えたことを特徴とするプラズマ表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、面放電形式の PDP（プラズマディスプレイパネル）、及び PDP を用いた表示装置に関する。

【0002】PDP は、カラー画面の実用化を機にテレビジョン映像やコンピュータのモニタなどの用途で広く用いられるようになってきた。このような PDP のいっそうの普及に向けて、高精細化に適した構造の開発が進められている。

## 【0003】

【従来の技術】カラー表示デバイスとして、3 電極面放電形式の AC 型 PDP が商品化されている。ここでいう

面放電形式は、壁電荷を利用して点灯状態を維持するAC駆動において交番に陽極又は陰極となる第1及び第2の主電極を基板対の一方の内面に平行に配列する形式である。この形式によれば、カラー表示のための蛍光体層を主電極対を配置した第1の基板と対向する第2の基板上に設けて電極から遠ざけることができ、それによって放電時のイオン衝撃による蛍光体層の劣化を軽減して長寿命化を図ることができる。面放電型のPDPでは、主電極が画面の行を画定する行電極として同一方向に延びるので、各行内の個々のセルを選択するための第3の電極（列電極）、及び放電空間を列毎に区画する隔壁（バリアリブ）が必要である。個々の主電極は画面の全長にわたる直線帯状である。また、隔壁パターンとしては、平面視帯状（直線状又は波状）の隔壁を配列するストライプパターンが、個々のセルを分断するメッシュパターンよりも生産性の上で優れている。

【0004】3電極構造の基本形態は、画面の行毎に一对ずつ主電極を配置するものである。各行における主電極対の配列間隔（面放電ギャップ）は、150～200ボルト程度の電圧の印加で放電が生じるように数十 $\mu\text{m}$ 程度に選定される。これに対して、隣接する行どうしの電極間隙（逆スリットと称される）は、行間の不要の面放電を防止し且つ静電容量を低減するため、面放電ギャップより十分に大きい値（数倍程度）とされる。すなわち、主電極の配列間隔が行と行間とで異なる。このような基本形態では、逆スリットが発光に寄与しないことから、画面の利用率が小さく輝度の面で不利であるとともに、行ピッチの縮小による高精細化が難しい。

【0005】そこで、従来において、画面の行数Nに1を加えた本数の主電極を等間隔に配列して隣接する電極どうしを電極対として面放電を生じさせる電極構成（特開平2-220330号に図示されている）を採用し、1フレームを奇数フィールドと偶数フィールドに分けて時分割で表示する手法が提案されている（特開平9-160525号）。この電極構成においては、配列の両端を除く主電極は、配列方向の一方側及び他方側に隣接する他の主電極と電極対を構成する。すなわち奇数行と偶数行の表示に兼用される。配列の両端の主電極は配列方向の片側に隣接する他の主電極と電極対を構成する。奇数フィールドの表示には奇数行のみを用い、偶数フィールドの表示には偶数行のみを用いる。例えば奇数フィールドの点灯維持に際して、表示に用いない行（ここでは偶数行）について、それを画定する主電極に同相の電圧を印加する。これにより、行間に隔壁を設けなくても、奇数行と偶数行との放電の干渉が低減される。

【0006】

【発明が解決しようとする課題】上述のように駆動電圧の位相設定により、表示に用いない行での不要の面放電を防止できるものの、従来では表示に用いる行での面放電が隣接する行（表示に用いない行）に向かって拡が

り、それによって列方向の解像度が損なわれるという問題があった。

【0007】本発明は、列方向への放電の拡がりを抑制して解像度を高めることを目的としている。

【0008】

【課題を解決するための手段】本発明においては、等間隔に配列する主電極の平面視形状を、全てのセルの電極面積が均等になるように、一定幅の直線帯状の一部を切り欠いた形状とする。切り欠いた部分では電界が生じないので、配列方向の一端側で生じた面放電の他端側への拡がりが抑えられる。また、切欠きによって電極面積が小さくなることから、放電電流が減少して駆動回路の負担が軽減される。放電電流の減少に伴う輝度の低下は、点灯維持における駆動電圧の周波数を高めることによって補うことができる。

【0009】請求項1の発明のPDPは、画面の行を画定する複数の行電極が、隣接する行電極どうしを電極対として面放電を生じさせることができるように等間隔に配列されており、前記行電極のそれぞれが、行方向に前記画面の全長にわたって延びる1本の帯状の基部と、列毎に当該基部から隣接する他の行電極に向かって張り出した突出部とからなるものである。

【0010】請求項2の発明のPDPにおいて、前記突出部のそれぞれは、先端の幅が前記基部との付け根の幅より大きい形状に形成されている。請求項3の発明のPDPにおいて、前記行電極のそれぞれは、行方向に前記画面の全長にわたって延びる1本の帯状の基部と、列毎に当該基部から隣接する他の行電極に向かって張り出したT字状突出部とからなる。

【0011】請求項4の発明のPDPにおいて、前記行電極のそれぞれは、行方向に前記画面の全長にわたって延びる1本の帯状の基部と、列毎に当該基部から隣接する他の行電極に向かって張り出したL字状突出部とからなる。

【0012】請求項5の発明のPDPは、画面の各列において、前記基部から一方側へ張り出す前記L字状突出部の付け根の位置と他方側へ張り出す前記L字状突出部の付け根の位置とが行方向にずれたものである。

【0013】請求項6の発明のPDPは、前記行電極のそれぞれが、行方向に前記画面の全長にわたって延びる1本の帯状の基部と、列毎に当該基部から隣接する他の行電極に向かって張り出した突出部とからなり、前記各突出部が、前記基部から列方向に対して斜めに延びる第1の直線領域とその先端から行方向に延びる第2の直線領域とからなる屈曲帯状に形成されたものである。

【0014】請求項7の発明のPDPにおいて、前記行電極のそれぞれにおける1列分の範囲の形状は、前記基部の行方向の中央位置を中心とする点対称である。請求項8の発明のPDPにおいて、前記行電極の少なくとも突出部は透明導電膜からなる。

【0015】請求項9の発明のPDPにおいて、前記行電極の基部は透明導電膜と金属膜との積層体からなる。請求項10の発明のPDPは、前記行電極のそれぞれが、前記画面の行方向の全長にわたって互いに離れた2本の帯状部と、前記画面の外側で前記帯状部を電気的に接続する連結部とからなるものである。

【0016】請求項11の発明のPDPにおいて、前記行電極の帯状部は透明導電膜からなり、連結部は金属膜からなる。請求項12の発明のPDPは、前記行電極のそれぞれが、前記画面の行方向の全長にわたって延びる3本以上の帯状部と、前記画面の列毎に前記帯状部どうしを電気的に接続する連結部とからなるものである。

【0017】請求項13の発明のPDPは、前記画面を列毎に区画する帯状の隔壁を有し、前記画面の各列において放電空間が当該画面の列方向の全長にわたって連続しているものである。

【0018】請求項14の発明の装置は、1フレームを2つのフィールドに分け、一方のフィールドを奇数行によって表示し、他方のフィールドを偶数行によって表示するように前記電極対に駆動電圧を印加する駆動回路とを備えている。

#### 【0019】

【発明の実施の形態】図1は本発明に係る電極マトリクス模式図である。本発明に係る面放電型PDPでは、合計M本のアドレス電極Aが列電極として配列され、アドレス電極Aと直交するように行電極として合計(N+1)本の主電極X、Yが等間隔に交互に配列される。Mは画面ESの列数であり、Nは行数である。主電極X、Yの配列間隔は現実的な範囲の駆動電圧(例えば100~200V)で面放電を生じさせることのできる数十μm程度の寸法に選定される。図では主電極X、Yが細く描かれているが、実際には各主電極X、Yの幅は配列間隔よりも大きい。

【0020】図示の例の配列順序における奇数番目の電極である主電極Xは、常に後述のグループ毎に電気的に共通化される。偶数番目の電極である主電極Yは、線順次のアドレッシングに際しては個別に制御され、点灯維持に際しては主電極Xと同様にグループ毎に電気的に共通化される。このような主電極X、Yのうち、互いに隣接する主電極Xと主電極Yとが面放電を生じさせる電極対12を構成し、1つの行L(図中の添え字は行番号を示す)を画定する。つまり、配列の両端を除く主電極X、Yは、それぞれが2つの行L(奇数行及び偶数行)の表示を担う。両端の主電極Xは1つの行Lの表示を担う。行Lとは、列方向における配置順位の等しいセルCの集合である。図の例では各行Lに属するセルCは一直線上に並んでいるが、例えば1列おきにセルCの位置が列方向にずれる構成もある。

【0021】図2は本発明に係るPDPの内部構造を示す分解斜視図である。図示のPDP1は面放電構造のA

C型カラーPDPであり、一对の基板構体10、20からなる。画面を構成する各セル(表示素子)において、本発明に特有の形状にパタニングされた一对の主電極X、Yと第3の電極であるアドレス電極Aとが交差する。主電極X、Yは、前面側の基板構体10の基材であるガラス基板11の内面に配列されており、それぞれが透明導電膜41と導電性を確保するための金属膜(バス電極)42とからなる。金属膜42は例えばクロム-銅-クロムの3層構造からなり、透明導電膜41の列方向の中央部に積層されている。ここで、金属膜の最下層のクロム膜は黒色で不透明であるので、当該前面側基板を通しての背面側基板上の蛍光体の透視を防ぐとともに、隣のセルの放電光の漏れを遮蔽することができ、いわゆるブラックストライプとして機能する。この機能は、行間隔が例えば510μmとして場合に、金属膜の幅が150μm程度あれば十分に有効となる。また、金属膜の一端部は主電極X、Yの電極引出し端子としてガラス基板11の端縁部に導出され、例えば図4に示すように主電極Xは基板の左側端縁部に、主電極Yは基板の右側端縁部に振り分けて導出されている。主電極X、Yを被覆するように厚さ30~50μm程度の誘電体層17が設けられ、誘電体層17の表面には保護膜18としてマグネシア(MgO)が被着されている。

【0022】アドレス電極Aは、背面側の基板構体20の基材であるガラス基板21の内面に配列されており、誘電体層24によって被覆されている。誘電体層24の上には、高さ150μmの平面視直線帯状の隔壁29が各アドレス電極Aの間に1つずつ設けられている。これらの隔壁29によって放電空間30が行方向(画面の水平方向)に列毎に区画され、且つ放電空間30の間隔寸法が規定されている。そして、アドレス電極Aの上方及び隔壁29の側面を含めて背面側の内面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが設けられている。放電空間30には主成分のネオンにキセノンを混合した放電ガスが充填されており、蛍光体層28R、28G、28Bは放電時にキセノンが放つ紫外線によって局部的に励起されて発光する。表示の1ピクセル(画素)は行方向に並ぶ3個のサブピクセルで構成される。各サブピクセル内の構造体がセル(表示素子)Cである。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は全ての行に跨がって列方向に連続している。

【0023】図3は第1実施形態の主電極の形状を示す平面図である。主電極X、Yは上述のように透明導電膜41と金属膜42とからなる。画面の範囲内において金属膜42は完全に透明導電膜41と重なるので、透明導電膜41の平面視形状がそのまま主電極X、Yの形状となる。

【0024】透明導電膜41は、行方向に画面の全長に

10

20

30

40

50

わたって延びる1本の直線帯状の基部411と、列毎に基部411から隣接する他の透明導電膜41に向かって張り出したT字状の突出部412とからなる形状にパターンニングされている。隔壁29で区画された各列において、基部411の列方向の一端側及び他端側に突出部412が張り出している。一端側の突出部412の先端から他端側の突出部412の先端までの長さが主電極X、Yの幅 $w_2$ となる。そして、各電極対12における突出部412どうしの間隔 $w_1$ が面放電ギャップとなる。全ての主電極X、Yにおいて幅 $w_2$ は均一である。

【0025】このように各主電極X、Yを、幅 $w_2$ の帯状の一部を切り欠いた形状とすることにより、面放電を面放電ギャップの付近に局所化することができ、解像度を高めることができる。また、行方向に突出部412が間隔を設けて並び、主電極間隔が行方向に沿って周期的に面放電ギャップ $w_1$ より広くなるので、行方向の全長にわたって主電極間隔が一定である場合と比べて静電容量が小さくなり、それによって駆動特性が向上する。加えて、電極面積が小さくなって放電電流が減少するので、駆動回路に対する電流容量の要求が緩和される。放電電流の減少による輝度の低下は、駆動周波数を高めることにより補うことができる。

【0026】以上の構成のPDP1は、公知のインタレース駆動を実現する回路ユニットと組み合わせて、壁掛けテレビジョン受像機、コンピュータシステムのモニターなどとして仕様される。

【0027】図4は本発明に係るプラズマ表示装置100の構成図である。プラズマ表示装置100はPDP1と駆動ユニット80とから構成されている。駆動ユニット80は、コントローラ81、フレームメモリ82、データ処理回路83、電源回路84、スキンドライバ85、サステイン回路86、及びアドレスドライバ87を有している。サステイン回路86は、奇数Xドライバ861、偶数Xドライバ862、奇数Yドライバ863、及び偶数Yドライバ864からなる。なお、駆動ユニット80はPDP1の背面側に配置され、各ドライバとPDP1の電極とが図示しないフレキシブルケーブルで電気的に接続される。駆動ユニット80にはTVチューナ、コンピュータなどの外部装置からR、G、Bの各色の輝度レベル（階調レベル）を示す画素単位のフレームデータDFが、各種の同期信号（CLK、HSYNC、VSYNC）とともに入力される。

【0028】フレームデータDFは、フレームメモリ82に一旦格納された後、データ処理回路83によってフレームを所定数のサブフィールドに分割して階調表示を行うためのサブフィールドデータDs fに変換される。サブフィールドデータDs fはフレームメモリ82に格納され、適時にアドレスドライバ87に転送される。サブフィールドデータDs fの各ビットの値は、サブフィールドにおけるセルの点灯の要否を示す情報、厳密には

アドレス放電の要否を示す情報である。

【0029】スキンドライバ85はアドレッシングにおいて主電極Yに個別に駆動電圧を印加する。奇数Xドライバ861は主電極Xのうちの奇数番目のものに一括に駆動電圧を印加する。偶数Xドライバ862は主電極Xのうちの偶数番目のものに一括に駆動電圧を印加する。奇数Yドライバ863は主電極Yのうちの奇数番目のものに一括に駆動電圧を印加する。偶数Yドライバ864は主電極Yのうちの偶数番目のものに一括に駆動電圧を印加する。主電極X、Yの電気的な共通化は図示のようなパネル上の連結に限られず、ドライバ内部の配線、又は接続用ケーブル上での配線により行うことができる。アドレスドライバ87はサブフィールドデータDs fに応じて計M本のアドレス電極Aに選択的に駆動電圧を印加する。これらドライバには電源回路84から図示しない配線導体を介して所定の電力が供給される。

【0030】次に、PDP1の駆動方法について説明する。図5はフレームの構成を示す図である。PDP1の駆動に際しては、1シーンの画像情報であるフレームFを奇数フィールドf1及び偶数フィールドf2に2分割する。そして、奇数フィールドf1において奇数行の表示を行い、偶数フィールドf2において偶数行の表示を行う。つまり、1シーンの情報をインターレース形式で表示する。

【0031】そして、2値の点灯制御によって階調表示（カラー再現）を行うために、奇数フィールドf1及び偶数フィールドf2のそれぞれを例えば8個のサブフレームsf1、sf2、sf3、sf4、sf5、sf6、sf7、sf8に分割する。言い換えれば、各フィールドを8個のサブフレームsf1～sf8の集合に置き換える。これらサブフィールドsf1～sf8における輝度の相対比率がおおよそ1:2:4:8:16:32:64:128となるように重み付けをして各サブフィールドsf1～sf8の点灯維持放電の回数を設定する。サブフィールド単位の点灯/非点灯の組合せでRGBの各色毎に256段階の輝度設定を行うことができるので、表示可能な色の数は $256^3$ となる。ただし、サブフィールドsf1～sf8を輝度の重みの順に表示する必要はない。例えば重みの大きいサブフィールドsf8をフィールド期間Tfの中間に配置するといった最適化を行うことができる。

【0032】各サブフィールドsfj（j=1～8）に割り当てるサブフィールド期間Ts f jは、画面全体の電荷分布を均一化するアドレッシング準備期間TR、表示内容に応じた帯電分布を形成するアドレッシング期間TA、及び階調レベルに応じた輝度を確保するために点灯状態を維持するサステイン期間TSからなる。各サブフィールド期間Ts f jにおいて、アドレッシング準備期間TR及びアドレッシング期間TAの長さは輝度の重みに係わらず一定であるが、サステイン期間TSの長さ

は輝度の重みが大いほど長い。つまり、1つのフィールド  $f$  に対応する8つのサブフィールド期間  $Tsf_j$  の長さは互いに異なる。

【0033】図6は駆動シーケンスの一例を示す電圧波形図である。奇数フィールド  $f_1$  の各サブフィールドにおいては、まず、アドレッシング準備期間  $TR$  で全ての主電極  $X$  に放電開始電圧を超える波高値の書き込みパルス  $P_{rw}$  を印加する。このとき全てのアドレス電極  $A$  には書き込みパルス  $P_{rw}$  を打ち消すためのパルス  $P_{ra}$  を印加する。書き込みパルス  $P_{rw}$  の印加による面放電で各セルに過剰の壁電荷が形成され、パルスの立ち下がりでの自己消去放電で壁電荷がほぼ消失する。次に、アドレッシング期間  $TA$  では、各主電極  $Y$  に対して順にスキャンパルス  $P_y$  を印加して行選択を行う。スキャンパルス  $P_y$  に同期させて、選択された行のうちの点灯させるべきセルに対応したアドレス電極  $A$  にアドレスパルス  $P_a$  を印加してアドレス放電を生じさせる。また、奇数行で適度の面放電が生じるように、奇数番目の主電極  $X$  と偶数番目の主電極  $X$  とに交互にパルスを印加する。そして、サステイン期間  $TS$  では、奇数行については交互で偶数行については同時となるタイミングで主電極  $X$  と主電極  $Y$  とにサステインパルス  $P_s$  を印加する。

【0034】一方、偶数フィールド  $f_2$  の各サブフィールドにおいてもアドレッシング準備期間  $TR$  に全ての主電極  $X$  に書き込みパルス  $P_{rw}$  を印加して壁電荷を消去する。また、アドレッシング期間  $TA$  でも、奇数フィールド  $f_1$  と同様に各主電極  $Y$  に対して順にスキャンパルス  $P_y$  を印加し、所定のアドレス電極  $A$  にアドレスパルス  $P_a$  を印加する。偶数フィールド  $f_2$  では、スキャンパルス  $P_y$  に同期させて偶数行で適度の面放電が生じるように奇数番目の主電極  $X$  と偶数番目の主電極  $X$  とに交互にパルスを印加する。そして、サステイン期間  $TS$  では、偶数行については交互で奇数行については同時となるタイミングで主電極  $X$  と主電極  $Y$  とにサステインパルス  $P_s$  を印加する。

【0035】図7～図10は主電極形状の変形例を示す平面図である。図7のPDP1bの主電極  $Xb$ 、 $Yb$  は、行方向に延びる直線帯状の基部423と、基部423から列毎に張り出した突出部413、414とからなる。突出部413、414は列方向に対し斜めに延びる直線領域413a、414aと行方向に延びる直線領域413b、414bからなるZ字状にパターンニングされた透明導電膜の上半部と下半部であり、Z字の中央部を横切るように基部423となる金属膜を積層することによって各主電極  $Xb$ 、 $Yb$  が形成されている。この形状によれば、各突出部413、414における先端と基部423との間の部分が列方向に対して斜めになるので、PDP1bの組立てに際して一对の基板構体の位置が行方向にずれて隔壁29bに対する配置が偏ったとしても、アドレス電極と主電極  $Yb$  との対向面積が極端に小

さくなることがなくアドレッシングの信頼性が高い。また、突出部413、414が屈曲形状となるので、上述の図3の突出部形状と比べて放電の拡がっていく方向の距離が長くなり、放電拡がり抑制効果は向上する。

【0036】図8のPDP1cの主電極  $Xc$ 、 $Yc$  は、図3の例と同様に透明導電膜41cと金属膜42cとからなる。画面の範囲内において金属膜42cは完全に透明導電膜41cと重なるので、透明導電膜41cの平面視形状がそのまま主電極  $X$ 、 $Y$  の形状となる。

【0037】透明導電膜41cは、行方向に画面の全長にわたって延びる1本の直線帯状の基部411cと、列毎に基部411cから隣接する他の透明導電膜41cに向かって張り出したL字状の突出部415、416とからなる形状にパターンニングされている。突出部415、416の先端縁は隔壁29cと直交し、隣接する透明導電膜41cの突出部416、415と面放電ギャップを隔てて対峙する。突出部415、416が屈曲形状であることに加え、各列において同じ基部から張り出した突出部どうしの間で付け根の位置がずれていることから、放電の拡がる方向の距離が長くなり、放電拡がり抑制効果がさらに向上する。

【0038】図9のPDP1dの主電極  $Xd$ 、 $Yd$  も透明導電膜41dと金属膜42dとからなる。透明導電膜41dは、行方向に画面の全長にわたって延びる直線帯状の基部411dと、隔壁29dで区画された列毎に基部411dから隣接する他の透明導電膜41dに向かって張り出した逆台形状の突出部417とからなる。

【0039】以上の各例では、突出部413～417が先端よりも基部の付け根の部位の幅が小さい形状であるので、面放電ギャップ部分の行方向の長さについて十分な値を確保して放電開始電圧の上昇を抑え、且つ主電極の切欠き面積を大きくして面放電の列方向の拡がりを抑えることができる。しかし、突出部413～417はセルの寸法条件に応じて適宜変更することができ、必ずしも先端側が拡がった形状である必要はない。すなわち、図10のPDP1dでは、直線帯状の基部411eと、直線帯状の突出部418とからなる。突出部418は隔壁29eで区画された列毎に設けられており、基部411eから隣接する他の透明導電膜41dに向かって張り出している。この電極形状によれば隣接する主電極どうしの間の静電容量を上述の他の形状より小さくすることができる。

【0040】図11は第2実施形態の主電極の形状を示す平面図である。図11のPDP2の主電極  $Xf$ 、 $Yf$  も透明導電膜41fと金属膜42fとからなる。透明導電膜41fは、一定幅の直線帯状に孔を開けた形状であり、図3のT字状の突出部413、414の先端縁を行方向に連続させた形状に相当する。この形状は、行方向のセルピッチが小さくてT字状の突出部では面放電ギャップ部分の長さの確保が難しい場合に好適である。

【0041】図12は第3実施形態の主電極の形状を示す平面図である。図12のPDP3の主電極Xg、Ygのそれぞれは、画面ESの行方向の全長にわたって互いに離れた2本の帯状部431、432と、画面ESの外側で帯状部431、432をそれぞれ電気的に接続する連結部425とからなる。各帯状部431、432は帯状の透明導電膜とそれより幅の小さい帯状の金属膜との積層体であり、金属膜は面放電ギャップから遠い側の端縁に寄せて透明導電膜に重ねられている。画面ESの外側には各帯状部431、432を構成する金属膜のみが導出され、連結部425となる金属膜と一体形成されている。図示の例では行方向の一端側で各帯状部431、432が連結されているが、両端側で帯状部431、432を連結して主電極Xg、Ygを環状としてもよい。

【0042】各主電極Xg、Ygにおける帯状部431、432どうしの間隔w3が広いほど面放電の拡がりの抑制効果は大きい。この間隔w3は面放電ギャップw1と異なってもよいし、同一であってもよい。

【0043】以上の実施形態では主電極を前面側の基板上に配置する構造を図示したが、主電極を背面側の基板上に配置する構造にも本発明を適用できる。背面側に配置する場合、主電極は金属膜からなる遮光体であってもよい。主電極の形状は各行の放電特性が不均一にならない範囲で適宜変更することができる。

#### 【0044】

【発明の効果】請求項1乃至請求項14の発明によれば、列方向への放電の拡がりを抑制して解像度を高めることができる。また、放電電流の最大値を下げて駆動回路の電流容量の制約を緩和することができる。

【0045】請求項1乃至請求項9の発明によれば、電極間の静電容量を低減して消費電力を減少させることができる。請求項2乃至請求項9の発明によれば、放電開始電圧の上昇を避けて解像度を高めることができる。

#### 【図面の簡単な説明】

【図1】本発明に係る電極マトリクスの様式図である。

【図2】本発明に係るPDPの内部構造を示す分解斜視図である。

【図3】第1実施形態の主電極の形状を示す平面図である。

【図4】本発明に係るプラズマ表示装置の構成図である。

【図5】フレームの構成を示す図である。

【図6】駆動シーケンスの一例を示す電圧波形図である。

【図7】主電極形状の変形例を示す平面図である。

【図8】主電極形状の変形例を示す平面図である。

【図9】主電極形状の変形例を示す平面図である。

【図10】主電極形状の変形例を示す平面図である。

【図11】第2実施形態の主電極の形状を示す平面図である。

【図12】第3実施形態の主電極の形状を示す平面図である。

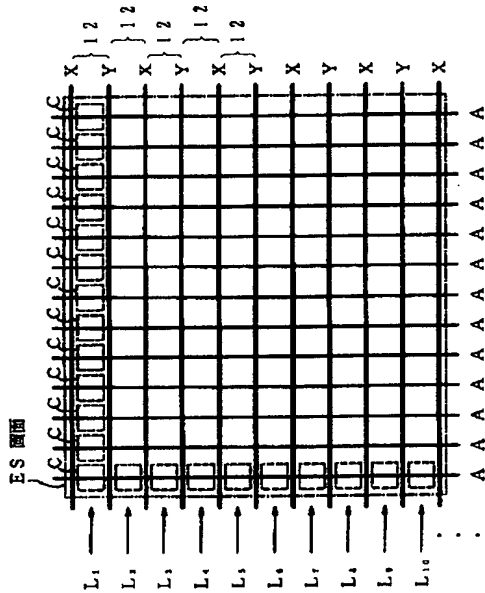
#### 【符号の説明】

1, 2, 3 PDP (プラズマディスプレイパネル)  
100 プラズマ表示装置  
ES 画面  
L 行  
X, Y 主電極 (行電極)  
Xb~Xg 主電極 (行電極)  
Yb~Yg 主電極 (行電極)  
431, 432 帯状部  
425 連結部  
411 基部  
411b~411e 基部  
412~418 突出部  
29, 29b~29g 隔壁  
80 駆動ユニット (駆動回路)  
413a, 414a 第1の直線領域  
413b, 414b 第2の直線領域



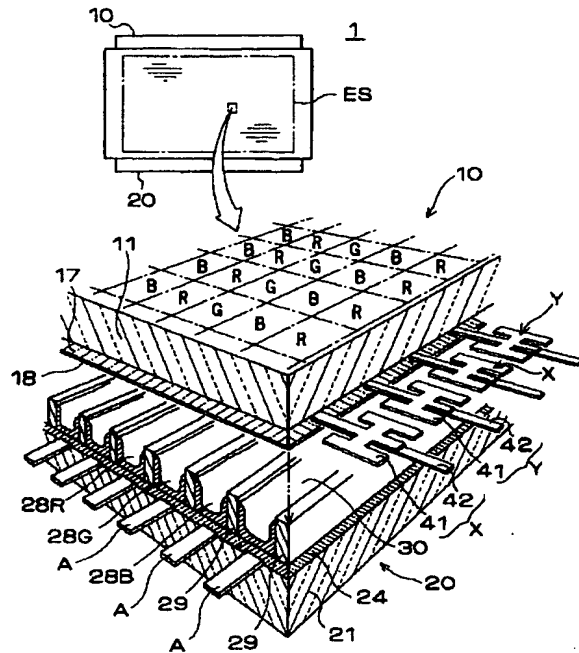
【図 1】

本発明に係る電極マトリクス の模式図



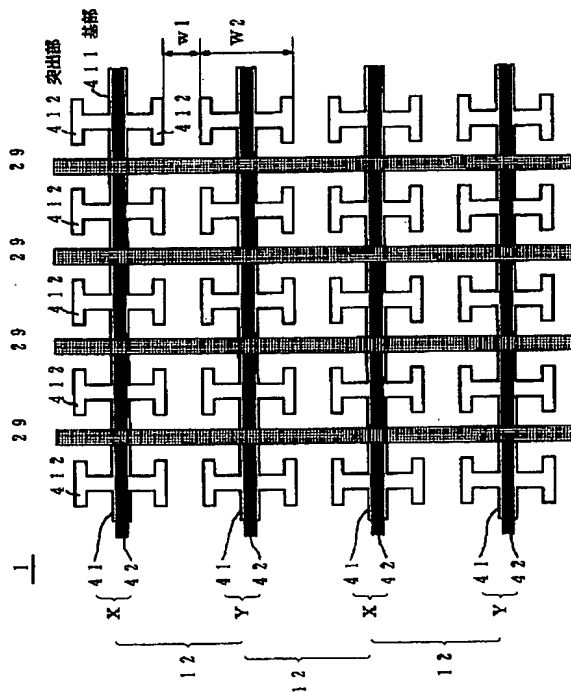
【図 2】

本発明に係るPDPの内部構造を示す分解斜視図



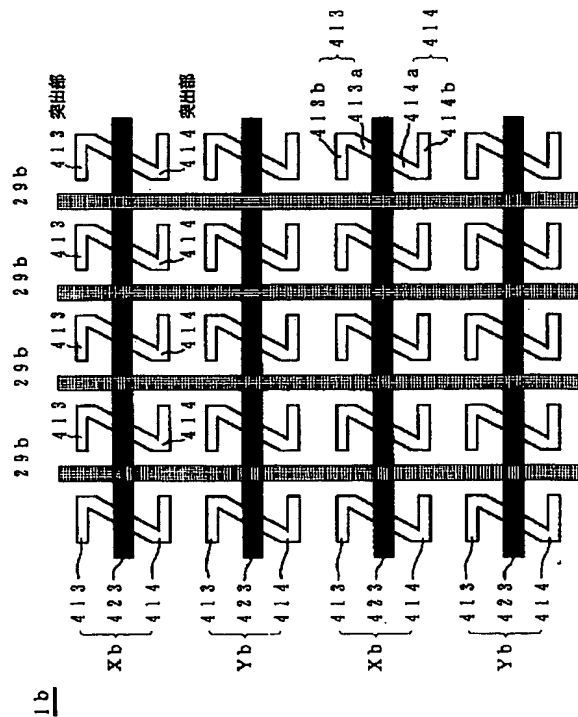
【図 3】

第 1 実施形態の主電極の形状を示す平面図



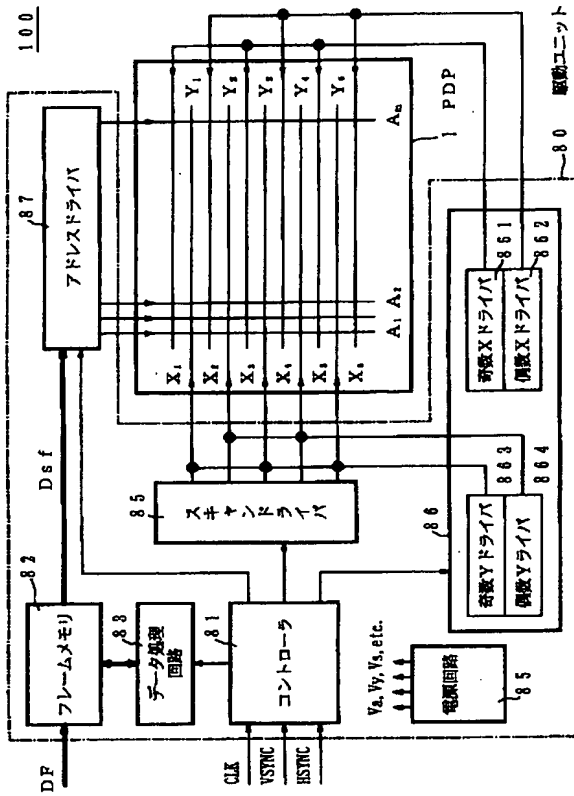
【図 7】

主電極形状の変形例を示す平面図



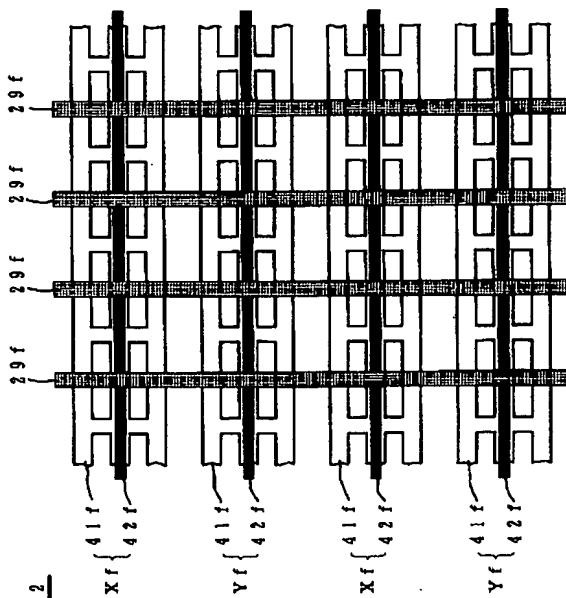
【図4】

本発明に係るプラズマ表示装置の構成図



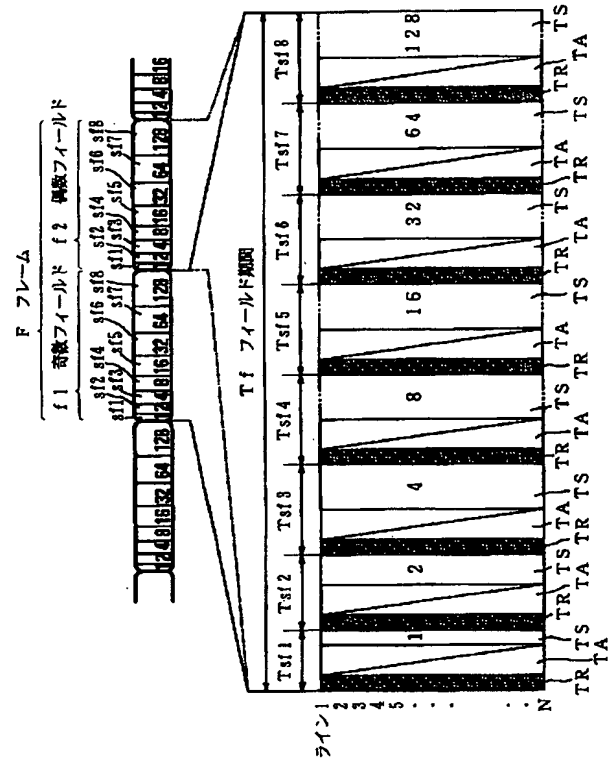
【図11】

第2実施形態の比較例の形状を示す平面図



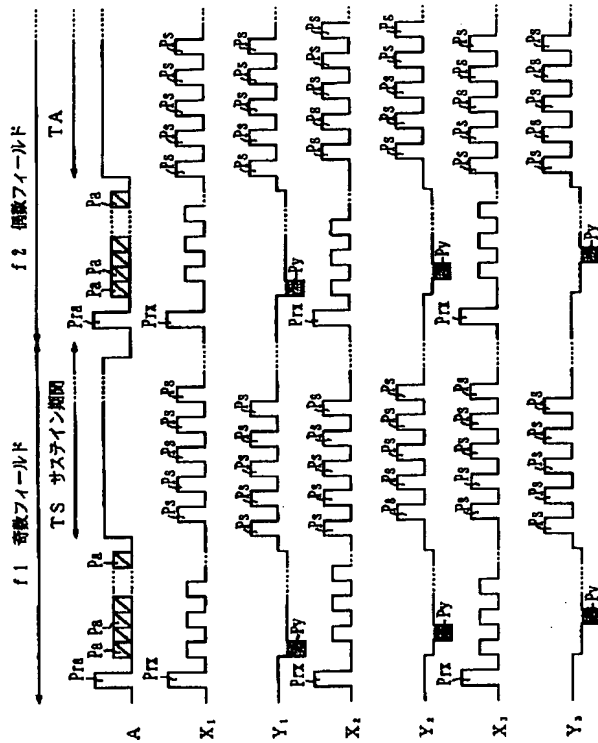
【図5】

フレームの構成を示す図



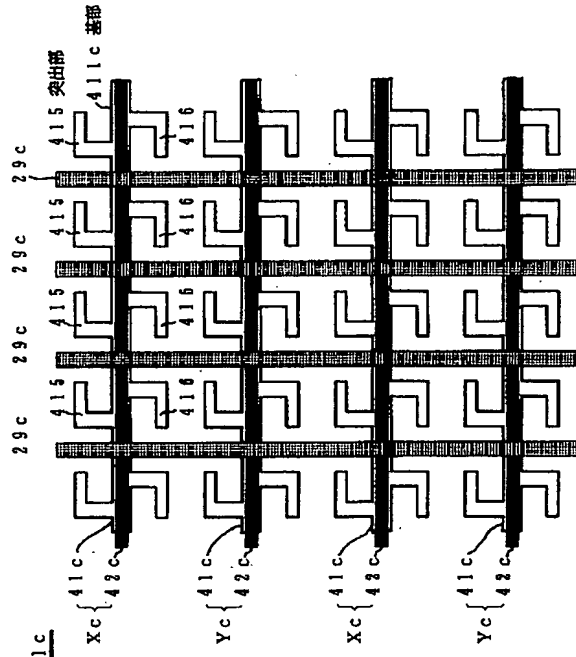
【図6】

駆動シーケンスの一例を示す電圧波形図



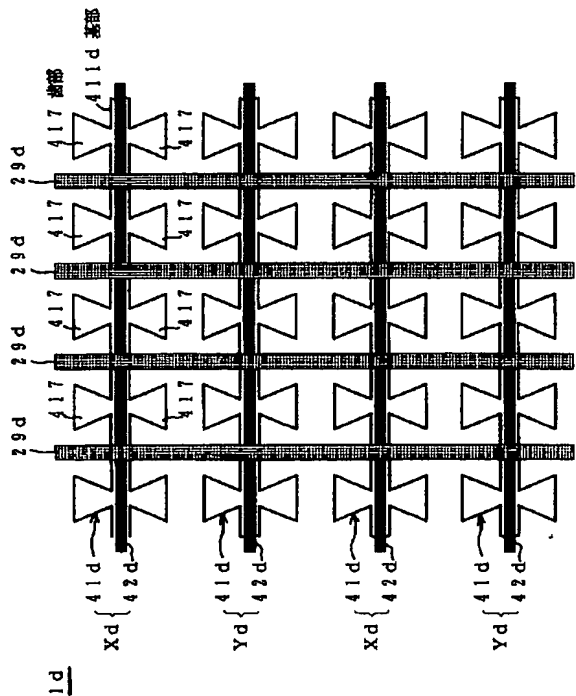
【図8】

主電極形状の変形例を示す平面図



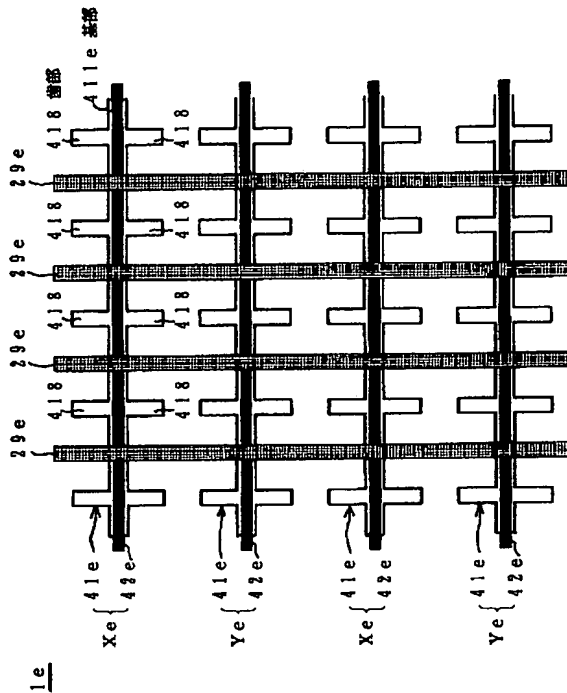
【図9】

主電極形状の変形例を示す平面図



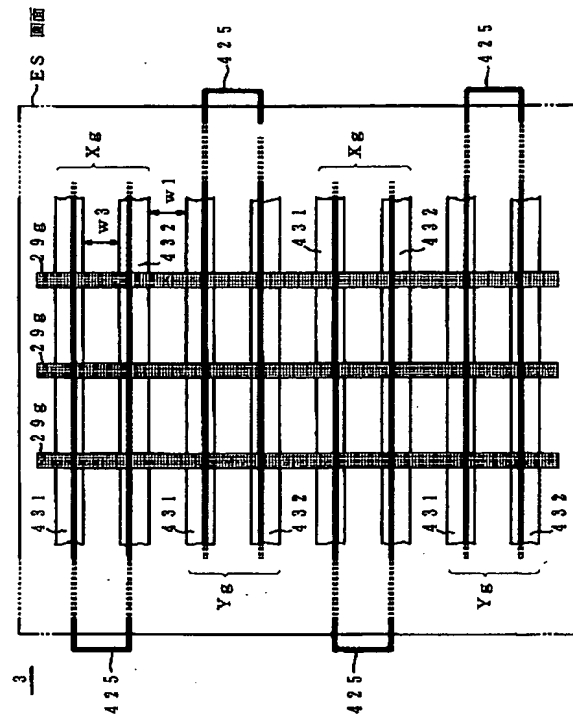
【図10】

主電極形状の変形例を示す平面図



【図12】

第3実施形態の主電極の形状を示す平面図



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

H01J 11/00

F I

H01J 11/00

テーマコード(参考)

K

(72) 発明者 吉田 健二

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 片山 貴志

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 中原 裕之

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

Fターム(参考) 5C040 FA01 FA04 GB03 GB14 GC02

5C080 AA05 BB05 DD07 DD26 EE29

FF12 GG08 HH02 HH04 JJ02

JJ04 JJ06